

Arbeitsblatt Nr. 10	Q2 Technikwissenschaft: Digitale Steuerungstechnik	 B S G G
Datum:	Thema: Speicher	
Seite 1 von 4	Name:	

Speicher

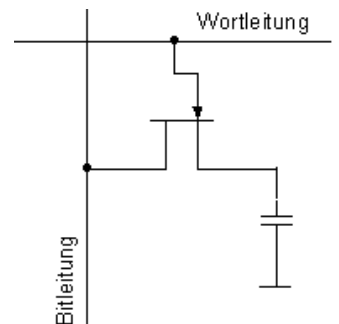
In der Technik gab und gibt es zahlreiche technische Verfahren zur Speicherung von Informationen¹. In der Computertechnik haben sich zur Realisierung von Arbeitsspeicher (Daten- und Programmspeicher für die CPU) prinzipiell zwei Technologien der Halbleitertechnik durchgesetzt:

- Dynamischer Speicher in Form einer Kapazität (Ladungsspeicher); DRAM = Dynamic RAM
- Statischer Speicher in Form von Flipflops (bzw. bi-stabile Kippstufen); SRAM = Static RAM

Beide Speicherarten sind **flüchtige Speicher**; d.h. der Inhalt des Speicherelementes geht bei Abschalten der Versorgungsspannung verloren.

DRAM

Eine DRAM-Speicherzelle wird typisch aus einem Ladungsspeicher-Kondensator- und einem elektronischen Schalter zum Lesen und Beschreiben der Speicherzelle gebildet. Das Prinzip ist neben dargestellt. Mit Hilfe der Wortleitung wird eine Speicherzelle zum Lesen oder Schreiben ausgewählt. Der dargestellte Transistor stellt eine elektrische Verbindung zwischen dem Kondensator und der Bitleitung her. Bei einem Lesevorgang wird an der Bitleitung der Zustand des Ladungsspeichers ermittelt. Bei einem Schreibvorgang wird der ausgewählte Ladungsspeicher über die Bitleitung neu befüllt. Die Kondensatoren haben aber leider die unangenehme Eigenschaft innerhalb kürzester Zeit (~ einige 10 ms) ihre gespeicherte Ladung zu verlieren.



Hierzu vielleicht folgendes Bild: Ein Byte (= 8 Bit) besteht also aus acht Eimern, in denen Wasser „gespeichert“ werden kann.



Übliche DRAM Speicherzellen lassen sich nun mit einem Eimer vergleichen, der mit Wasser gefüllt ist (=„1“) oder eben nicht (=„0“). Dummerweise hat der Eimer aber Löcher, so dass permanent Wasser abfließt. Deshalb muss jeder Eimer, in dem Wasser ist, ständig nachgefüllt werden. Bei jedem Rechnersystem besteht der Arbeitsspeicher typisch aus solchen DRAM-Speicherzellen. Ein Teilsystem des Rechners -die **Refresh-Logik**- ist nun ausschließlich dafür da, den Inhalt der Speicherzellen alle paar Millisekunden zu erneuern. Das heißt, dass permanent -auch ohne Datenzugriff durch ein Programm- die Eimer ausgeleert werden, um festzustellen, ob Wasser darin ist, um anschließend die „vollen“ Eimer neu zu befüllen.

Mit diesem Bild lässt sich auch das „**zerstörende Lesen**“ -typisch für DRAM- verdeutlichen: Um eine dynamische Speicherzelle zu lesen, also um herauszufinden, ob eine „0“ oder eine „1“ gespeichert ist, muss die Ladung entnommen werden. Das heißt, dass man den Eimer ausleeren muss, um festzustellen, ob sich Wasser darin befindet. Dies hat die Konsequenz, dass nach einem Lesevorgang bei allen Speicherzellen mit einer Ladung darin, diese Ladung anschließend erneuert werden muss.

¹ Zum Beispiel Verzögerungsleitungen (siehe auch <http://de.wikipedia.org/wiki/Verzögerungsleitung>) oder Kernspeicher (siehe auch <http://de.wikipedia.org/wiki/Kernspeicher>)

Arbeitsblatt Nr. 10	Q2 Technikwissenschaft: Digitale Steuerungstechnik	 B S G G
Datum:	Thema: Speicher	
Seite 2 von 4	Name:	

Das Funktionsprinzip wird in dem nachfolgend genannten Dokument genauer beschrieben.

[http://smithsonianchips.si.edu/ice/cd/MEMORY97/SEC07.PDF# \[0,{%22name%22:%22XYZ%22},-198,797,1\]](http://smithsonianchips.si.edu/ice/cd/MEMORY97/SEC07.PDF# [0,{%22name%22:%22XYZ%22},-198,797,1])

Zwar ist das Dokument, wie man an der Titelseite sehen kann, bereits aus dem Jahr 1997, aber die zugrunde liegenden Techniken werden dort ausführlich beschrieben. Wählt man die Titelseite aus, lassen sich auch andere Kapitel wie z.B. „Flash Memory Technology“ ansehen.

Flash-Speicher

Eine Ausnahme hiervon bilden die modernen Flash-Speicher, wie sie beispielsweise in USB-Sticks verwendet werden. Diese Speicherbausteine gehören zur Gruppe der **nichtflüchtigen Speicher**. Zwar werden auch hier -wie beim DRAM- Ladungsspeicher verwendet. Diese sind jedoch so aufgebaut, dass gespeicherte Ladungsträger nicht abfließen können, wie das bei den bisherigen dynamischen Speicherelementen der Fall ist.



Bei Flash-Speicherzellen haben die Eimer keine Löcher! Die Ladung bleibt also dauerhaft erhalten. Ursprünglich konnte pro Speicherzelle auch nur ein Bit gespeichert werden; also: Ist der Eimer voll oder leer? Bei modernen Flash-Speicherzellen, sogenannten Multi-Level-Cells (MLC) können auch mehrere Bitzustände pro Zelle gespeichert werden. Dies entspräche beispielsweise verschiedenen Wasserständen in den Eimern.

SRAM

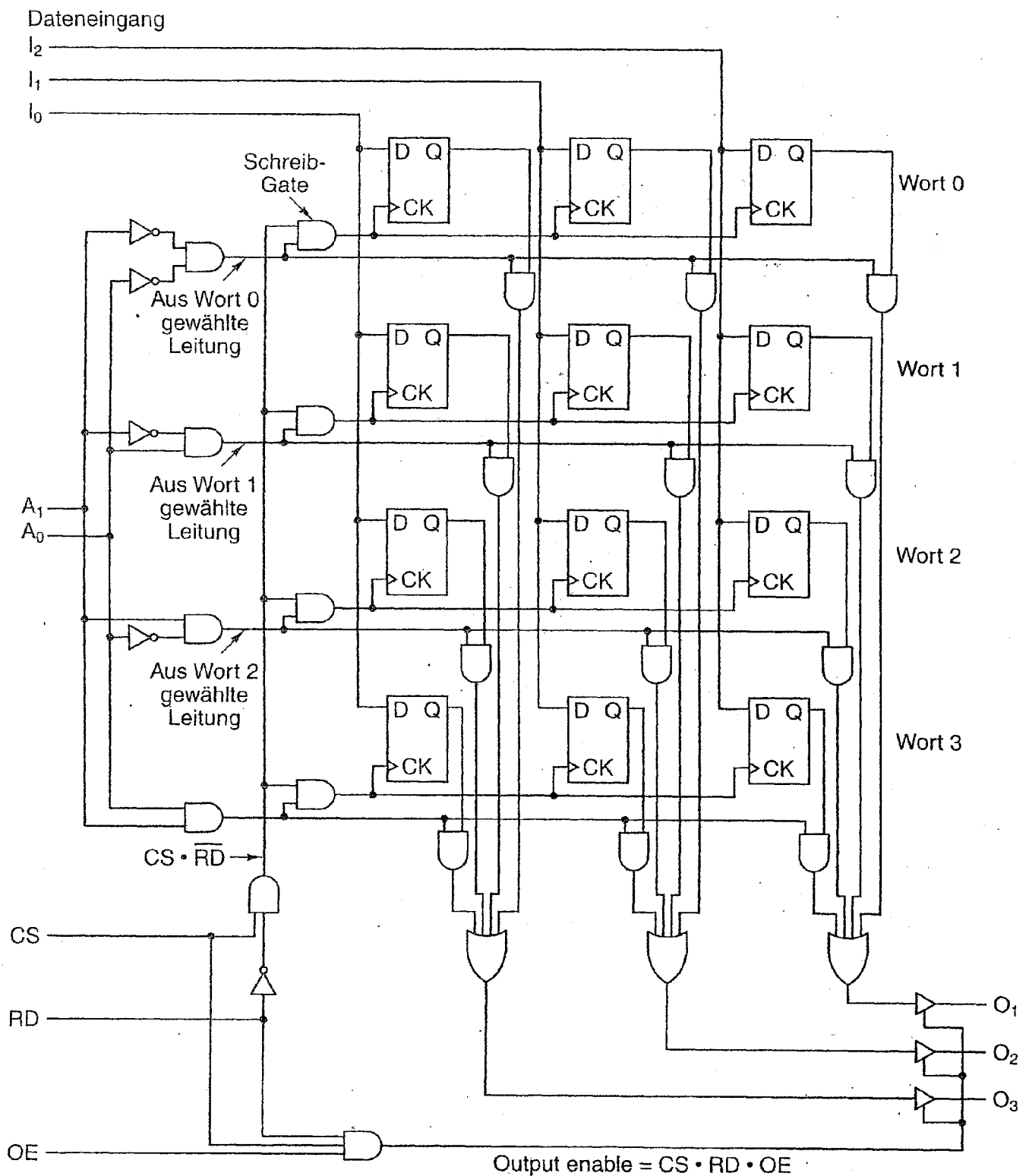
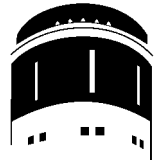
Ganz anders aufgebaut sind statische Speicherzellen. Diese bestehen typisch aus einem Flipflop pro Speicherzelle. Solch ein Flipflop besteht je nach Technologie aus 4 oder 6 elektronischen Schaltern (Transistoren). Das macht auch schon deutlich, dass solche Speicherzellen einen wesentlich höheren Platzbedarf auf dem Chip haben und somit bei gleicher Chipgröße der DRAM-Speicher höhere Speicherkapazitäten ermöglicht.

Der wesentliche Unterschied zu einer DRAM-Speicherzelle ist, dass der Speicherinhalt nicht aufgefrischt werden muss und bei vorhandener Betriebsspannung beliebig lange erhalten bleibt. Dies bietet auch die Möglichkeit, Informationen ohne eine aufwendige Refresh-Logik zu speichern. Einsatz findet dies u.a. für die Speicherung der BIOS-Daten eines PC. Selbst nach dem Abschalten des PC werden die BIOS-Daten gespeichert. Die notwendige Versorgungsspannung kommt dann von einer 3 V-Lithium Batterie. Die Energie dieser Batterie reicht typisch mehrere Jahre. Da es eine Batterie und kein Akkumulator ist, wird diese auch nicht bei Betrieb des PC geladen!

Ein weiteres Merkmal ist die kurze Zugriffszeit im Bereich von wenigen Nanosekunden; Wikipedia nennt hier 5 ns bis zu 100 ns. Aus diesen Grund wird SRAM oftmals als Cache-Speicher in und außerhalb von CPUs verwendet.

Mehrere Speicherzellen können nun zu einem Speicherbaustein zusammen gefasst werden. Integrierte Speicherbausteine haben jeweils ein bestimmte **Organisationsform**, die man in Form eines Produktes angibt.

Nachfolgend ist das Prinzip eines SRAM mit herkömmlichen D-Flipflops dargestellt:



Arbeitsblatt Nr. 10	Q2 Technikwissenschaft: Digitale Steuerungstechnik	 B S G G
Datum:	Thema: Speicher	
Seite 4 von 4	Name:	

Aufgaben

- Die Treiber-Bausteine, die die Ausgangssignale O_1 , O_2 und O_3 liefern (unten rechts) haben einen Steuereingang, durch den der Ausgang eines solchen Treibers in einen dritten Zustand („hochohmig“, „Tri-State“) versetzt werden kann.
Informieren Sie sich, welchem Zweck dieser dritte Zustand dient, z.B. hier:

<https://de.wikipedia.org/wiki/Tri-State>

- Analysieren Sie die zuvor abgebildete Schaltung. CS steht für „Chip Select“, RD für „Read“, OE für „Output Enable“.

Überlegen Sie, welche Aufgabe die dargestellten Signale haben:

I_1, I_2, I_3	
O_1, O_2, O_3	
A_1, A_2	
RD	
OE	
CS	

- Informieren Sie sich an dieser Quelle über die beiden Haupteinsatzgebiete von SRAM. Welche sind dies?

<http://smithsonianchips.si.edu/ice/cd/MEMORY97/SEC08.PDF#0,{%22name%22:%22XYZ%22},-198,797,1>

- Informieren Sie sich an der nachfolgend genannten Quelle über den prinzipiellen Aufbau einer DRAM-Speicherzelle bzw. eines DRAM-Speicherbausteins (Seite 1 bis 3). Welche prinzipielle Form wird für einen Speicherbaustein verwendet?

<http://smithsonianchips.si.edu/ice/cd/MEMORY97/SEC07.PDF#0,{%22name%22:%22XYZ%22},-198,797,1>

- Ermitteln Sie die beiden grundlegenden (erstgenannten) Architekturen bei Flash-Speicher.

<http://smithsonianchips.si.edu/ice/cd/MEMORY97/SEC10.PDF#0,{%22name%22:%22XYZ%22},-198,797,1>